

(a)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-205302

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

H04N 5/335

(21)Application number : 05-000530

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 06.01.1993

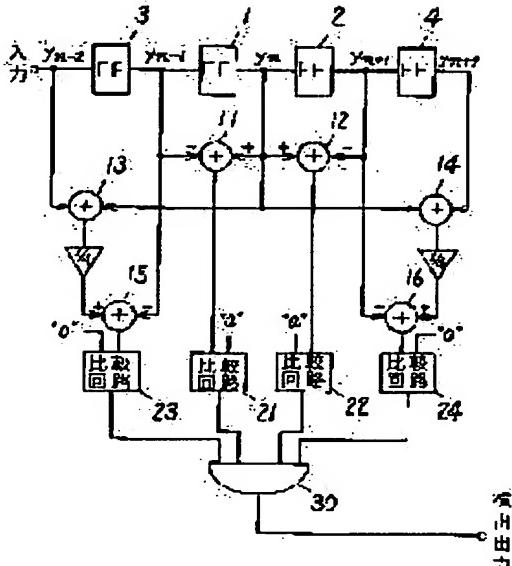
(72)Inventor : HITOMI JUICHI
KOBAYASHI TAKAHIRO
NAKAYAMA MASAAKI

(54) DEVICE FOR CORRECTING DEFECT OF PICTURE ELEMENT

(57)Abstract:

PURPOSE: To obtain an excellent picture by detecting and correcting a signal while exactly distinguishing a picture element defect from a substantial signal in an image pickup device employing a solid-state image pickup element.

CONSTITUTION: Picture element data y_{n-2} , y_{n-1} , y_n , y_{n+1} , y_{n+2} being a noted picture element y_n , picture elements y_{n-1} , y_{n+1} before and after the picture elements y_n , and picture element y_{n-2} , y_{n+2} before and after the picture element y_{n-1} , y_{n+1} are extracted by FFs 1-4 and the following equation are operated by using adders 11-16 and comparator circuits 21-24. Then discrimination outputs of the said comparator circuits are ANDed, and a picture element is discriminated to be a defect of picture element when four following equations are all satisfied, and a detection signal and a correction signal are outputted, $y_{n-1} > a_1$, $y_n - y_{n-1} > a_2$, $y_{n-1} < b_1(y_{n+1} + y_{n-2})/2$, $y_{n+1} < b_2(y_{n+1} + y_{n-2})/2$.



LEGAL STATUS

[Date of request for examination] 26.03.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2882227

- [Date of registration] 05.02.1999
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

(a)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-205302

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl.⁵

H 04 N 5/335

識別記号 庁内整理番号

P

F I

技術表示箇所

審査請求 未請求 請求項の数5 (全7頁)

(21)出願番号 特願平5-530

(22)出願日 平成5年(1993)1月6日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 人見 寿一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 小林 隆宏

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中山 正明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 小銀治 明 (外2名)

(54)【発明の名称】 画素欠陥補正装置

(57)【要約】 (修正有)

【目的】 固体撮像素子を用いた撮像装置において、本来の信号と画素欠陥を正確に区別し、検出、補正を行い、良好な画像を得る。

【構成】 FF 1～4により注目画素とその前後と更にその前後の画素データ y_{n-2} 、 y_{n-1} 、 y_n 、 y_{n+1} 、 y_{n+2} を抽出し、加算器 11～16、比較回路 21～24 を用い、下記の比較回路の判定出力の AND を取り、4式をすべて満たすとき画素欠陥と判定し、検出信号を出力し補正信号を出力する。

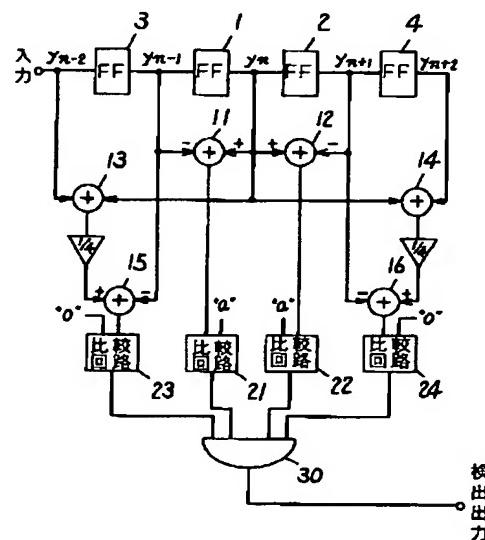
$$y_n - y_{n-1} > a_1 \quad (1)$$

$$y_n - y_{n+1} > a_2 \quad (2)$$

$$y_{n-1} < b_1 \quad (y_n + y_{n-2}) / 2 \quad (3)$$

$$y_{n+1} < b_2 \quad (y_n + y_{n+2}) / 2 \quad (4)$$

1～8 フリップフロップ
11～16 加算器
21～24 比較回路
30 AND回路



【特許請求の範囲】
【請求項1】 固体撮像素子と、固体撮像素子の各画素を順次走査し読み出された信号をサンプリングするサンプリング回路とを有する撮像装置と、

第1の画素の値と、隣接する第2、第3の画素の値と、第2、第3の画素に隣接し第1の画素から離れた側にある第4、第5の画素の値を抽出する抽出回路と、抽出された画素値を演算処理する演算回路とからなり画素欠陥を検出する検出回路と、

検出回路の出力信号により制御される補正回路とからなることを特徴とする画素欠陥補正装置。

【請求項2】 演算回路が、第1の画素の値と第4の画素の値との差、第1の画素の値と第5の画素の値の差を求め、それぞれ一定値と比較する第1、第2の演算処理回路と、

第2の画素の値を、第1、第4の画素の値を演算処理した値と比較する第3の演算処理回路と、

第3の画素の値を、第1、第5の画素の値を演算処理した値と比較する第4の演算処理回路とからなることを特徴とする上記第1項の画素欠陥補正装置。

【請求項3】 第1の固体撮像素子に対し第2の固体撮像素子が半画素ずれた位置に配位された複数の固体撮像素子と、固体撮像素子の各画素を順次走査し読み出された信号をサンプリルするサンプリング回路とを有する固体撮像装置と、

第1の固体撮像素子の画素の値と、第2の固体撮像素子の画素の値とを抽出する抽出回路と、抽出された画素値を演算処理する演算回路とからなり画素欠陥を検出する検出回路と、

検出回路の出力信号により制御される補正回路とからなることを特徴とする画素欠陥補正装置。

【請求項4】 抽出回路が、第1の固体撮像素子の第1の画素の値と、第1の画素に半画素隣接する第2の固体撮像素子の第2、第3の画素の値と、第1の画素に隣接する第1の固体撮像素子の第4、第5の画素の値とを抽出する抽出回路からなることを特徴とする上記第3項の画素欠陥補正装置。

【請求項5】 演算回路が、第1の画素の値と第4の画素の値との差、第1の画素の値と第5の画素の値の差を求め、それぞれ一定値と比較する第1、第2の演算処理回路と、

第2の画素の値を、第1、第4の画素の値を演算処理した値と比較する第3の演算処理回路と、

第3の画素の値を、第1、第5の画素の値を演算処理した値と比較する第4の演算処理回路とからなることを特徴とする上記第4項の画素欠陥補正装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はCCD等の固体撮像素子を用いた撮像装置において、固体撮像素子に存在する画

素欠陥を検出し補正する画素欠陥補正装置に関するものである。

【0002】

【従来の技術】 一般にCCD等の半導体により形成された固体撮像素子においては、半導体の局部的な結晶欠陥等により画質劣化を生じることが知られている。入射光量に応じた撮像出力に常に一定のバイアス電圧が加算されてしまう画像欠陥は、この画像欠陥信号がそのまま処理されるとモニター画面上に高輝度の白い点として現れるので白キズと呼ばれている。また光電感度の低いものは黒い点として現れるので黒キズと呼ばれている（以後、画素欠陥をキズと称する）。

【0003】 従来、上記のようなキズに対する検出に関しては、例えば特開昭61-261974号公報に示されている。この方法は注目画素が周辺の画素に対して一定量以上大きいまたは小さい出力を持つ画素をキズとして検出する方法であり、横方向および縦方向に隣接画素間の差を取り、周辺の画素と異なる出力を持つ画素を検出するものである。

【0004】 以下、CCDの水平方向における白キズの検出の場合について説明を行うものとし、まずこの場合の従来の画素欠陥補正装置について具体的に説明を行う。白キズは、周辺の画素に対して、通常1画素のみ突出している。例えば、注目画素とその前後の画素の関係は図10(a)のように表される。このため、注目画素とその隣接する前後の画素と比較し、注目画素が一定レベル以上前後の画素より大きい場合キズと見なすことができる。

【0005】 上記内容を実現するブロック図を図9に示す。入力された信号は複数のフリップフロップ（以下FFと略す）1、2を通り、順次送られてきた注目画素値とその前後の画素値、 y_{n-1} 、 y_n 、 y_{n+1} を得る。これらの信号に対して、加算器11、12、比較回路21、22、AND回路30により下記の演算を行っている。

【0006】

$$y_{n-1} - y_n > a_1 \quad (11)$$

$$y_{n+1} - y_n > a_2 \quad (12)$$

a_1 、 a_2 は、 y_n の y_{n-1} 、 y_{n+1} に対する突出量のしきい値であり、ここでは $a_1 = a_2 = a$ (> 0) として考える。

【0007】 以上により、注目する画素の値がその周辺の画素の値に対して一定レベル以上突出している場合はキズとみなし、検出出力を出力する。補正回路は、検出出力により制御される。

【0008】 画素欠陥の補正に関しては、特開昭62-8666号公報にいくつかの方法が示されている。例えば、1画素もしくは2画素前の画素で置換する方法、前後の画素値の平均で置換する方法、または同様に垂直方向で考え、1つ上の画素で置換する方法、上下の画素値の平均で置換する方法などがある。

【0009】ここでは、補正回路は前後の画素値の平均で置換するものとし、ブロック図は図3に示したようになり、動作は以下の通りである。入力された信号はFF5, 6を通り、中央の注目画素の値とその前後の画素値を抽出する。注目画素の前後の画素値からこれらの平均値を求め補正信号としている。検出回路の検出出力に従い、通常は中央の注目画素の値を、キズと判定した場合は補正信号を出力する。

【0010】以上より、周辺の画素の値に対して一定レベル以上突出している画素に対してはキズとして検出でき、目立たないよう補正することができる。
10

【0011】

【発明が解決しようとする問題点】しかしながら、上記の方法によれば、点光源のような信号に対しては、信号であるにも関わらず突出していることからキズと誤って判定する。例えば、周囲が暗い中で1点のみ明るい図10(b)のようなCCD出力信号の場合、その中心の信号はキズと誤って判定され、誤補正されてしまう。これにより図10(b)の補正回路出力信号のように、本来あるべき信号が欠けた形になる。このように点光源のような信号がある場合には画質を劣化させ、良好な画像を得ることができないという問題を有していた。

【0012】本発明はこのような従来の問題点を解決するものであり、簡単な構成で信号とキズを精度良く判別し、キズについてのみ補正を行い、点光源のような信号を含む画像においても、本来の画質を劣化させることなく、良好な画像を得ることができる画素欠陥補正装置を提供するものである。

【0013】

【問題を解決するための手段】本発明の画素欠陥補正装置は、固体撮像素子と、固体撮像素子の各画素を順次走査し読み出された信号をサンプリングするサンプリング回路とを有する撮像装置と、第1の画素の値と、隣接する第2、第3の画素の値と、第2、第3の画素に隣接し第1の画素から離れた側にある第4、第5の画素の値を抽出する抽出回路と、抽出された画素値を演算処理する演算回路とからなり画素欠陥を検出する検出回路と、検出回路の出力信号により制御される補正回路とからなることを特徴とする画素欠陥補正装置である。

【0014】

【作用】本発明によれば、点光源のような信号においても従来のように誤検出、誤補正を行わず、信号とキズを区別し、キズを精度良く検出できるため、キズについてのみ補正を行い、本来の画質を劣化させることなく、良好な画像を得ることができる。

【0015】

【実施例】(実施例1)以下、本発明の第1の実施例について図面を参照して説明する。

【0016】本発明の第1の実施例の全体ブロック図を図1に示す。入射光はレンズ101、光学LPF102

を経由しCCD103に到達し、CCD103により光電変換され、CDS回路104、AD変換器105を介し、デジタル信号に変換される。この信号より検出回路106でキズを検出し、検出信号を出力する。この検出信号により補正回路107を制御する。

【0017】本発明の第1の実施例の検出回路のブロック図を図2に示す。このブロック図では以下の動作を行う。まずFF1～4により注目画素とその前後、およびさらにその前後の計5画素の画素データ y_{-2} , y_{-1} , y_0 , y_{+1} , y_{+2} を抽出する。ここで、FF1～4のクロックはCCDのクロックと同じ f_a である。これらの画素データに対し、加算器11～16、コンパレータ21～24を用い下記の演算を行う。

【0018】

$$y_0 - y_{-1} > a_1 \quad (1)$$

$$y_0 - y_{+1} > a_2 \quad (2)$$

$$a_1 = a_2 = a (> 0)$$

$$y_{-1} < b_1 (y_0 + y_{-2}) / 2 \quad (3)$$

$$y_{+1} < b_2 (y_0 + y_{+2}) / 2 \quad (4)$$

$$b_1 = b_2 = b = 1/2$$

式(1), (2)では、注目画素が周辺画素に対して一定値以上突出しているという条件を満たすことを判定する。これにより、キズであるための必要条件を満たすことを判定しており、点光源も含まれる。 a_1 , a_2 は突出量が一定値以上であることを判定するためのしきい値であり、ここでは $a_1 = a_2 = a (> 0)$ としている。これらの演算を加算器11, 12, 比較回路21, 22を用いて行っている。

【0019】

式(3), (4)では、隣接する前後の画素データが一定のレベル以上あるという条件を満たすことを判定する。これによりキズと点光源の区別を行っている。 b_1 , b_2 は隣接する前後の画素データの突出量を判定するためのしきい値を決めるための係数である。ここでは、しきい値を、式(3), (4)の右辺のように設定している。 b_1 , b_2 を注目画素データと1個おいて前後の画素データとの平均に掛け、しきい値を算出している。 b_1 , b_2 は一例として、 $b_1 = b_2 = b = 1/2$ と設定してある。これらの演算を加算器13, 14, 15, 16、比較回路23, 24を用いて行っている。

【0020】以上の4個の比較回路による各1ビットに出力判定出力のANDを取り、上記の4式をすべて満たすことを判定する。4式をすべて満たすときキズと判定し、検出回路106より検出信号を出力し、補正回路107に補正信号を出力するよう制御する。

【0021】本発明の第1の実施例の補正回路のブロック図を図3に示す。入力された信号はFF5, 6を通り、中央の注目画素の値とその前後の画素値を抽出する。ここで、FF5, 6のクロックは f_a である。注目画素の前後の画素値からこれらの平均値を求め補正信号としている。検出回路の検出出力に従い、通常は中央の

注目画素の値を、キズと判定した場合は補正信号を出力する。また検出回路との時間合わせは必要に応じ行うものとする。

【0022】(実施例2)以下、本発明の第2の実施例について図面を参照して説明する。本発明の第2の実施例の全体ブロック図を図5に示す。入射光はレンズ501、光学LPF502を経由し、プリズム503により、R、G、Bの各色信号に分離され、それぞれに対応したCCD504、505、506に到達する。GのCCD504に対し、R、BのCCD505、506は水平方向に半画素ずれた位置に配置されている。これらのCCDにより光電変換され、CDS回路507、508、509、AD変換器510、511、512を介し、デジタル信号に変換される。この信号より検出回路513でキズを検出し、検出信号を出力する。この検出信号により補正回路514を制御する。

【0023】本発明の第2の実施例の検出回路のブロック図を図6に示す。G信号に対し、R、B信号は同じ関係にあるため、ここでは、検出回路にG信号とR信号が入力された場合について示してある。このブロック図では以下の動作を行う。まず入力したG信号とR信号はCCDのクロックと同じ f_a で動作するFF51、52を通り、 $2f_a$ で動作するセレクタ40により $2f_a$ レートでG、R信号のシリアル信号に変換される、その後、FF1～4により注目画素として例えばG信号とすると、G信号 g_a とその半画素前後のR信号 r_{a-5} 、 r_{a+5} 、および1画素前後の g_{a-1} 、 g_{a+1} の計5画素の画素 $_s$ を抽出する。ここでは、FF1～4のクロックは、 $2f_a$ である。これらの画素データに対し、加算器11～16、比較回路21～24を用い下記の演算を行う。

【0024】

$$g_a - g_{a-1} > a_1 \quad (5)$$

$$g_a - g_{a+1} > a_2 \quad (6)$$

$$a_1 = a_2 = a \quad (> 0)$$

$$r_{a-5} < b_1 (g_a + g_{a-1}) / 2 \quad (7)$$

$$r_{a+5} < b_2 (g_a + g_{a+1}) / 2 \quad (8)$$

$$b_1 = b_2 = b = 1/2$$

式(5)、(6)では、注目画素が周辺画素に対して一定値以上突出しているという条件を満たすことを判定する。これにより、キズであるための必要条件を満たすことを判定しており、点光源も含まれる。 a_1 、 a_2 は突出量が一定値以上であることを判定するためのしきい値であり、ここでは $a_1 = a_2 = a \quad (> 0)$ としている。これらの演算を加算器11、12、比較回路21、22を用いて行っている。

【0025】式(7)、(8)では、隣接する前後の画素データが一定のレベル以上あるという条件を満たすことを判定する。これによりキズと点光源の区別を行っている。 b_1 、 b_2 は隣接する前後の画素データの突出量を

判定するためのしきい値を決めるための係数である。ここでは、しきい値を、式(7)、(8)の右辺のように設定している。 b_1 、 b_2 を注目画素データと1個おいて前後の画素データとの平均に掛け、しきい値を算出している。 b_1 、 b_2 は一例として、 $b_1 = b_2 = b = 1/2$ と設定してある。これらの演算を加算器13、14、15、16、比較回路23、24を用いて行っている。

【0026】以上の4個の比較回路による各1ビットに10 出力判定出力のANDを取り、上記の4式をすべて満たすことを判定する。4式をすべて満たすときキズと判定し、検出回路より検出信号を出力し、補正回路に補正信号を出力するよう制御する。

【0027】本発明の第2の実施例の補正回路のブロック図を図7に示す。入力された信号はFF5、6、7、8を通り、中央の注目画素の値とその1画素前後の画素値を抽出する。ここで、FF5～8のクロックは f_a である。注目画素の1画素前後の画素値からこれらの平均値を求め補正信号としている。検出回路の検出出力に従い、キズでないと判定した場合は中央の注目画素の値を、キズと判定した場合は補正信号を出力する。また検出回路との時間合わせは必要に応じ行うものとする。

【0028】以上の実施例1、2については、白キズについてのみの説明を行っているが、黒キズについても、キズの方向が反対であることを考慮し、 a_1 、 a_2 の符号、不等号の向きを変更することにより、同様に検出が可能である。

【0029】また、以上の実施例については、水平方向についてのみの説明を行っているが、垂直方向についても同様であり、水平方向、垂直方向の両方を組み合わせた処理も可能である。

【0030】

【発明の効果】以上の説明より明らかなように、本発明によれば、点光源のような信号においても従来のように誤検出、誤補正を行わず、信号とキズを区別し、キズを精度良く検出できるため、キズについてのみ補正を行い、本来の画質を劣化させることなく、良好な画像を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の画素欠陥補正装置の全体構成のブロック図

【図2】本発明の第1の実施例の画素欠陥補正装置の検出回路のブロック図

【図3】本発明の第1の実施例の画素欠陥補正装置の補正回路のブロック図

【図4】本発明の第1の実施例における信号波形

【図5】本発明の第2の実施例の画素欠陥補正装置の全体構成のブロック図

【図6】本発明の第2の実施例の画素欠陥補正装置の検出回路のブロック図

50 【図7】本発明の第2の実施例の画素欠陥補正装置の補

正回路のブロック図

【図8】本発明の第2の実施例における信号波形

【図9】従来の画素欠陥補正装置の検出回路のブロック

図

【図10】従来の画素欠陥補正装置の信号波形

* 【符号の説明】

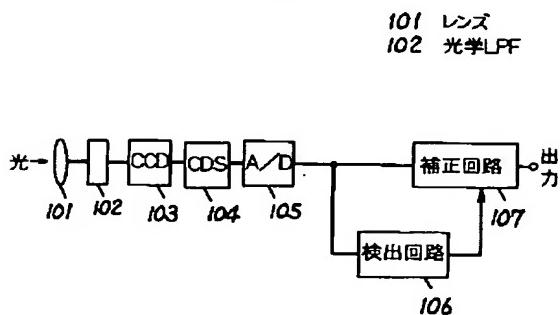
103 CCD

105 A/D変換器

106 検出回路

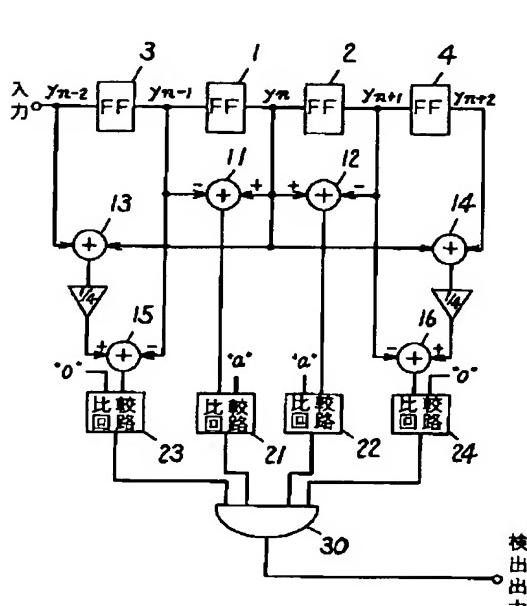
* 107 補正回路

【図1】

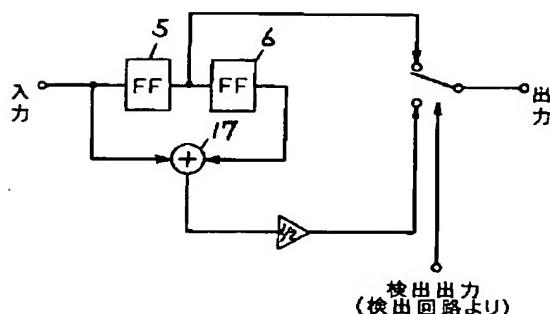


【図2】

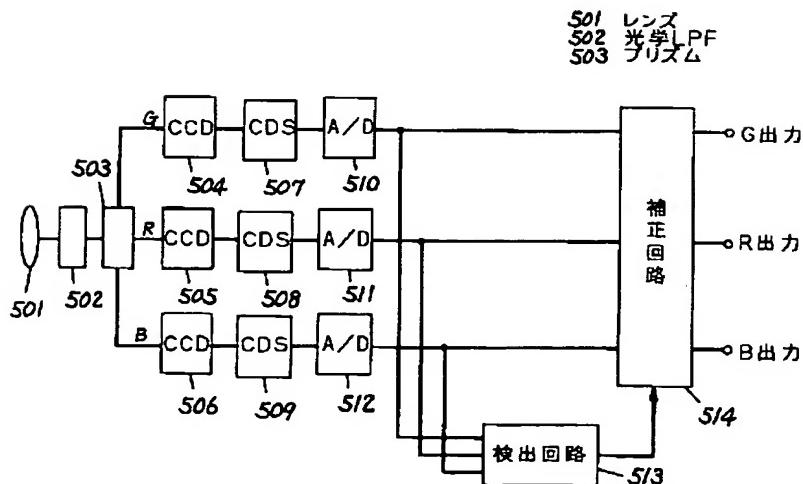
1~8 フリップ[°]フロップ[°]
9~16 加算器
21~24 比較回路
30 AND回路



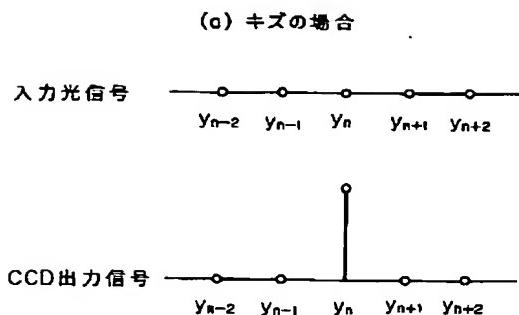
【図3】



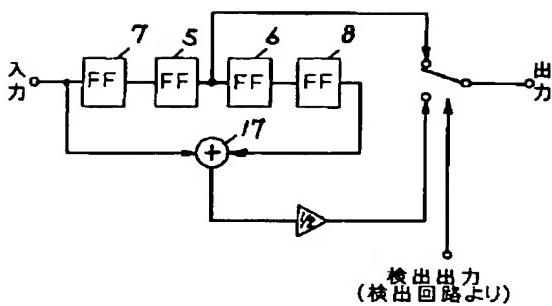
【図5】



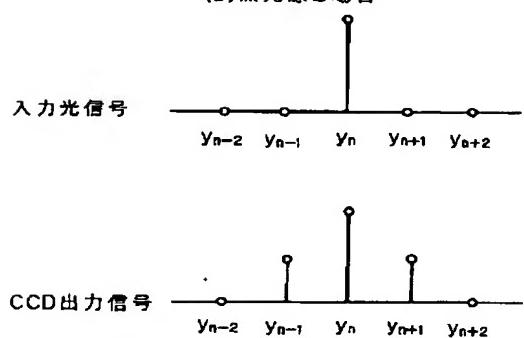
【図4】



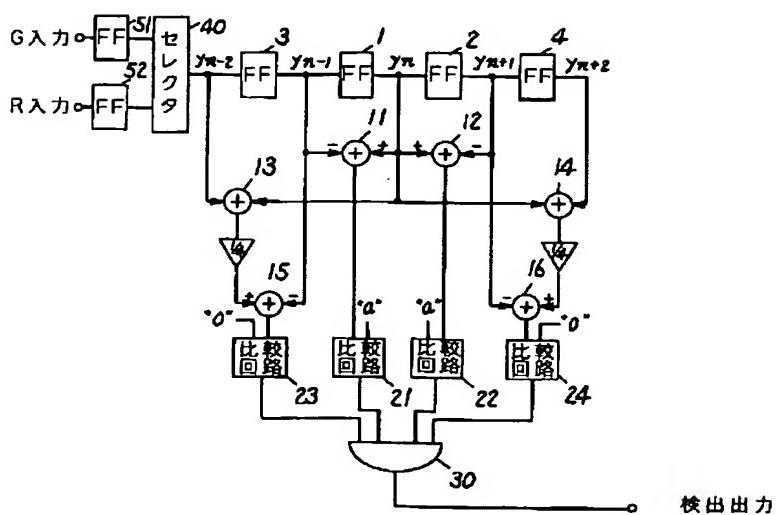
【図7】



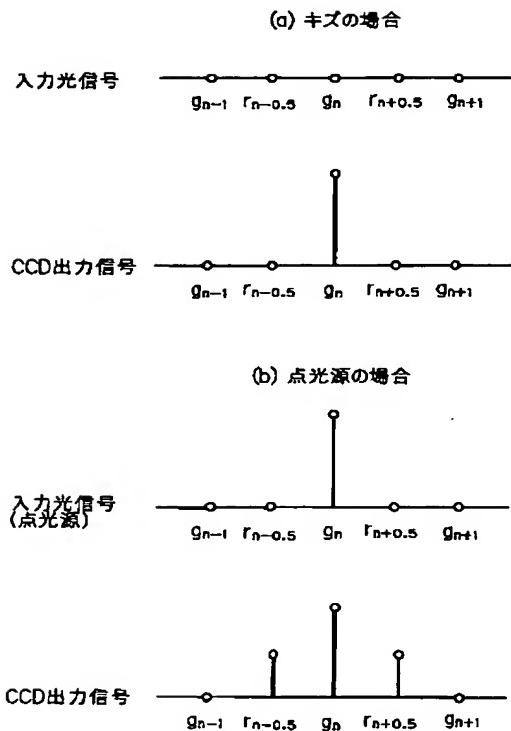
(b) 点光源の場合



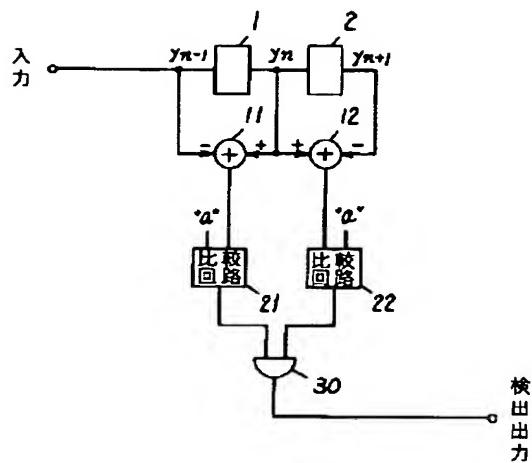
【図6】



【図8】



【図9】



【図10】

